

Docket No.: 67162-017

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Masayuki IKETANI :  
Serial No.: : Group Art Unit:  
Filed: July 16, 2003 : Examiner:  
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE CAPABLE OF SHORTENING  
PERIOD REQUIRED FOR PERFORMING DATA RETENTION TEST

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2002-366126, filed December 18, 2002,**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:km  
Facsimile: (202) 756-8087  
**Date: July 16, 2003**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

67162-017  
Masayuki Iketani  
July 16, 2003  
McDermott, Will & Emé

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月18日

出 願 番 号

Application Number:

特願2002-366126

[ST.10/C]:

[JP2002-366126]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 1月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000958

【書類名】 特許願

【整理番号】 541904JP01

【提出日】 平成14年12月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

    【住所又は居所】 兵庫県伊丹市荻野 1 丁目 1 3 2 番地 大王電機株式会社  
                                内

    【氏名】 池谷 正之

【特許出願人】

    【識別番号】 000006013

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 各々がキャパシタを含むと共に各々が前記キャパシタの両側に、夫々、電圧入力ノードと記憶ノードを有する複数のメモリセルと、第 1 電圧を発生する第 1 電圧発生回路と、前記第 1 電圧より低い第 2 電圧を発生する第 2 電圧発生回路と、前記第 1 電圧と前記第 2 電圧を受けると共に、通常動作モードで前記第 1 電圧を前記電圧入力ノードに出力する一方、データリテンションテストモードで前記第 2 電圧を前記電圧入力ノードに出力するように、制御信号に応じて前記第 1 電圧と前記第 2 電圧を切換えるスイッチ回路とを備えることを特徴とする半導体集積回路装置。

【請求項 2】 前記第 2 電圧発生回路を接地電源によって形成したことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記制御信号を発生する制御回路を更に備え、又、前記制御回路が、前記データリテンションテストモードでの電源電圧を検知して、前記電源電圧を示す電圧信号を出力する電圧検知回路と、前記データリテンションテストモードのスタンバイ状態を示すスタンバイ信号を出力するスタンバイ信号発生回路と、少なくとも前記電圧信号と前記スタンバイ信号を論理演算する論理回路とを備えることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 前記制御回路が、前記データリテンションテストモードを示すテストモード信号を出力するテストモード信号発生回路を更に備え、又、前記論理回路を、前記電圧信号、前記スタンバイ信号と前記テストモード信号を論理演算する 3 入力 N A N D ゲートによって形成したことを特徴とする請求項 3 に記載の半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、一般に、各々がキャパシタを含むと共に各々がキャパシタの両側に、夫々、電圧入力ノードと記憶ノードを有する複数のメモリセルを設けた半導

体集積回路装置に関し、特に、キャパシタのカップリング効果を利用することによりデータリテンションテストの所要時間を短縮することのできる半導体集積回路装置に関する。

#### 【 0 0 0 2 】

##### 【従来の技術】

各々がキャパシタを含む複数のメモリセルに書込み又は読出しをする時、電源電圧が3 Vの場合は2. 7 V～3. 6 Vの保証電圧範囲内で、電源電圧が1. 8 Vの場合は1. 6 V～2. 3 Vの保証電圧範囲内で、選択されたメモリセルのワード線がLレベルからHレベルに設定され、アクセストランジスタがオンする。書込み時には、書込みされるビット線上の所望のLレベル又はHレベルのデータが、アクセストランジスタを介して記憶ノードに伝達される。一方、読出し時には、メモリセルの記憶ノードに格納された所望のLレベル又はHレベルのデータがアクセストランジスタを介してビット線上に伝達される。

#### 【 0 0 0 3 】

メモリセルは、又、保証電圧範囲外においてもデータを保持する特性、即ち、データリテンション特性を有することを必要とする。メモリセルがデータリテンション特性を有する場合、例えば、3 Vの電源電圧が2. 7 V～3. 6 Vの保証電圧範囲外の2 Vに低下しても、メモリセルに記憶されているデータは破壊されことなく保持される。この場合、2. 7 V～3. 6 Vの保証電圧範囲内において書込まれたデータは保証電圧範囲外の2 Vにおいても保持し続けられ、又、保証電圧範囲内において読出すと、そのデータを読出すことができる。

#### 【 0 0 0 4 】

メモリセルがデータリテンション特性を有するか否かを確認するために、メモリセルを用いる半導体製品の出荷前検査において、データリテンションテストを行う。半導体製品の生産コストを削減するために、データリテンションテストの所要時間を短縮することが望ましい。

#### 【 0 0 0 5 】

しかしながら、従来のメモリセルにおいて、電源電圧が保証電圧範囲外に低下しても、記憶ノードのHレベルはすぐには低下しない。これは、記憶ノードの電

荷がメモリセルの電源側にしか逃げない上、電源に導く負荷トランジスタが非常に高い抵抗値を有するためである。その結果、メモリセルを用いる従来の半導体製品の出荷前検査において、データリテンションテストの所要時間が長くなるという問題点があった。

## 【 0 0 0 6 】

そこで、データプリテンションテストの待ち時間を短縮するために、例えば、特許文献 1 は、キャパシタの基準レベルとなるプレートと電源の間に寄生容量を付加することを提案している。しかしながら、特許文献 1 は、寄生容量を付加しているという点でこの発明と異なる。

## 【 0 0 0 7 】

## 【特許文献 1】

特開平 5 - 1 0 1 6 4 9 号公報（段落 1 6、図 1 及び図 2）

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

この発明は、従来技術の上記問題点を解決するためになされたもので、メモリセルのキャパシタのカップリング効果を利用して記憶ノードの H レベルを急激に低下させることにより、データリテンションテストの所要時間を短縮することのできる半導体集積回路装置を提供することを目的とする。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

請求項 1 にかかる半導体集積回路装置は、各々がキャパシタを含むと共に各々が前記キャパシタの両側に、夫々、電圧入力ノードと記憶ノードを有する複数のメモリセルと、第 1 電圧を発生する第 1 電圧発生回路と、前記第 1 電圧より低い第 2 電圧を発生する第 2 電圧発生回路と、前記第 1 電圧と前記第 2 電圧を受けると共に、通常動作モードで前記第 1 電圧を前記電圧入力ノードに出力する一方、データリテンションテストモードで前記第 2 電圧を前記電圧入力ノードに出力するように、制御信号に応じて前記第 1 電圧と前記第 2 電圧を切換えるスイッチ回路とを備える。

## 【 0 0 1 0 】

## 【発明の実施の形態】

以下に、この発明の各実施の形態を図面を参照して説明する。

## 【0011】

## 実施の形態1.

図1は、この発明の実施の形態1にかかる半導体集積回路装置の構成を示す。この半導体集積回路装置は、通常動作モードとデータリテンションテストモードを有する。図1において、半導体集積回路装置は、電源電圧 $V_{cc}$ を受けて $1/2 V_{cc}$ の第1電圧（セルプレート電圧）を有する出力信号19を発生する第1電圧発生回路8と、第2電圧を有する出力信号32を発生する第2電圧発生回路29と、制御信号26に応じて出力信号19と出力信号32を切換えて、通常動作モードとデータリテンションテストモードで、夫々、出力信号19と出力信号32を出力信号33としてメモリセル50（図2）に印加するスイッチ回路22とを備える。

## 【0012】

図2は、半導体集積回路装置に設けられた複数のメモリセル50の1個の構成を示す。各メモリセル50は、1対のキャパシタ5を含むと共に、各キャパシタ5の両側に、夫々、電圧入力ノードNAと記憶ノードNBを有する。図1のスイッチ回路22の出力信号33は電圧入力ノードNAに印加される。ワード線1はメモリセル50を選択する一方、データがメモリセル50から1対のビット線2に出力される。メモリセル50は、更に、各々が薄膜トランジスタで形成される1対の負荷トランジスタ3と、各々が各負荷トランジスタ3と記憶ノードNBにおいて接続される1対の駆動トランジスタ4と、メモリセル50の記憶データをビット線2に伝達する1対のアクセストランジスタ7とを備える。

## 【0013】

図1に示すように、第1電圧発生回路8は、電源電圧 $V_{cc}$ に接続された抵抗素子9と、抵抗素子9に直列接続されていると共にドレインとゲートが短絡したNチャネルMOSトランジスタ10と、NチャネルMOSトランジスタ10のソースにソースが直列接続されていると共にゲートとドレインが短絡したPチャネルMOSトランジスタ11と、一端がPチャネルMOSトランジスタ11のドレ

インに接続されていると共に他端が接地電圧GNDに接続された抵抗素子12と、夫々のソースが互いに接続されていると共に夫々のゲートが互いに接続されたPチャネルMOSトランジスタ13及び14とを備える。PチャネルMOSトランジスタ13において、ゲートとドレインが短絡している。

## 【0014】

第1電圧発生回路8は、更に、PチャネルMOSトランジスタ13のドレインにドレインが接続され、NチャネルMOSトランジスタ10のドレインにゲートが接続されていると共に出力信号19にソースが接続されたNチャネルMOSトランジスタ15と、出力信号19にソースが接続されていると共にPチャネルMOSトランジスタ11のドレインにゲートが接続されたPチャネルMOSトランジスタ16とを備える。

## 【0015】

第1電圧発生回路8は、更に、PチャネルMOSトランジスタ16のドレインにドレインとゲートが接続されていると共に接地電圧GNDにソースが接続されたNチャネルMOSトランジスタ17と、NチャネルMOSトランジスタ17のゲートとドレインの短絡ノードにゲートが接続され、出力信号19にドレインが接続されていると共に接地電圧GNDに接続したNチャネルMOSトランジスタ18とを備える。第1電圧発生回路8の出力信号19は $1/2 V_{cc}$ の第1電圧を有する。

## 【0016】

上記構成の第1電圧発生回路8は以下のように動作する。NチャネルMOSトランジスタ15とPチャネルMOSトランジスタ16が、夫々、しきい電圧 $V_{thN}$ と $V_{thP}$ を有する時、NチャネルMOSトランジスタ15のゲートは $(1/2 V_{cc} + V_{thN})$ の電圧レベルに設定される一方、PチャネルMOSトランジスタ16のゲートは $(1/2 V_{cc} - V_{thP})$ の電圧レベルに設定され、後述するように出力信号19の電圧レベルによりトランジスタ15と16の電流が変化する。

## 【0017】

トランジスタ15と16のその変化した電流により、トランジスタ15と16



の夫々のドレインの電圧レベルが確定され、PチャネルMOSトランジスタ13及び14とNチャネルMOSトランジスタ17及び18によって形成されるカレントミラー回路で出力信号19の電圧レベルを安定させるように動作する。例えば、出力信号19の電圧レベルが $1/2 V_{cc}$ より低下した場合、電流がNチャネルMOSトランジスタ15に流れるので、NチャネルMOSトランジスタ15のドレイン電圧、即ち、PチャネルMOSトランジスタ13及び14のゲート電圧が低下するから、電流が電源電圧 $V_{cc}$ 側からPチャネルMOSトランジスタ14を介して出力信号19側に流れ込む結果、出力信号19の低下した電圧レベルが上昇する。

## 【0018】

逆に出力信号19の電圧レベルが $1/2 V_{cc}$ より上昇した場合、電流がPチャネルMOSトランジスタ16に流れるので、PチャネルMOSトランジスタ16のドレイン電圧、即ち、NチャネルMOSトランジスタ17及び18のゲート電圧が上昇するから、電流が出力信号19側からNチャネルMOSトランジスタ18を介して電源電圧GND側に流れ込む結果、出力信号19の上昇した電圧レベルが低下する。第1電圧発生回路8の上記動作により、出力信号19の電圧レベルは $1/2 V_{cc}$ に安定させられる。第1電圧発生回路8の出力信号19の第1電圧 $1/2 V_{cc}$ は、図2のメモリセル50の電圧入力ノードNAのセルプレート電圧として使用される。

## 【0019】

図1の半導体集積回路装置において、スイッチ回路22は、第1電圧発生回路8の出力信号19とスイッチ回路22の出力信号33に、夫々、ドレインとソースが接続されたNチャネルMOSトランジスタ23及びPチャネルMOSトランジスタ24と、第2電圧発生回路29の出力信号32とスイッチ回路33の出力信号33に、夫々、ドレインとソースが接続されたNチャネルMOSトランジスタ27及びPチャネルMOSトランジスタ28と、制御信号26を入力が受けるとともにPチャネルMOSトランジスタ24のゲートとNチャネルMOSトランジスタ27のゲートを出力が制御するインバータ25とを備える。PチャネルMOSトランジスタ28のゲートは制御信号26で制御される。

## 【 0 0 2 0 】

図 1 の半導体集積回路装置において、第 2 電圧発生回路 2 9 は、第 1 電圧発生回路 8 に、 $1/2 V_{cc}$  の電圧レベルを有する端子 3 0 と、 $-1/2 V_{cc}$  の電圧レベルを有する端子 3 1 とを付加した構成を有するので、第 2 電圧発生回路 2 9 の出力信号 3 2 の電圧レベルは接地電圧 GND に安定させられる。スイッチ回路 2 2 は、制御信号 2 6 に応じて、第 1 電圧発生回路 8 の出力信号 1 9 と第 2 電圧発生回路 2 9 の出力信号 3 2 を切換えて、出力信号 3 3 をメモリセル 5 0 の電圧入力ノード N A に印加する。

## 【 0 0 2 1 】

例えば、半導体集積回路装置が通常動作モードである時、制御信号 2 6 が H レベルに設定されて、トランジスタ 2 3 と 2 4 がオンして、トランジスタ 2 7 と 2 8 がオフするので、 $1/2 V_{cc}$  の電圧レベルを有する出力信号 1 9 が出力信号 3 3 としてスイッチ回路 2 2 からメモリセル 5 0 の電圧入力モード N A に印加される。一方、半導体集積回路装置がデータリテンションテストモードである時、制御信号 2 6 が L レベルに設定されて、トランジスタ 2 3 と 2 4 がオフし、トランジスタ 2 7 と 2 8 がオンするので、接地電圧 GND を有する出力信号 3 2 が出力信号 3 3 としてスイッチ回路 2 2 からメモリセル 5 0 の電圧入力モード N A に印加される。

## 【 0 0 2 2 】

メモリセル 5 0 の動作をスイッチ回路 2 2 の上記動作と関連させて図 3 のグラフを参照して説明する。時間を示す横軸と、電圧を示す縦軸を有する図 3 のグラフは、メモリセル 5 0 の電源電圧 2 0 とメモリセル 5 0 の記憶ノード N B の H レベル 3 4 の時間変化を、従来例のメモリセルの記憶ノードの H レベル 2 1 と対比して示す。間隔 0 ～  $t_1$  では、メモリセル 5 0 の保証電圧範囲内の電源電圧 2 0 と記憶ノード N B の H レベル 3 4 は同一の高電圧 V 1 である。

## 【 0 0 2 3 】

間隔  $t_1 \sim t_2$  では、メモリセル 5 0 の電源電圧 2 0 が高電圧 V 1 から低電圧 V 2 まで大きく低下しているが、記憶ノード N B の H レベル 3 4 は、メモリセル 5 0 の電源電圧 2 0 に追従できずに高電圧 V 1 よりも僅かに低い電圧に遷移して

いる。時刻  $t_3$  において、スイッチ回路 22 の制御信号 26 が H レベルから L レベルに設定される。メモリセル 50 の電源電圧 20 は時刻  $t_5$  まで低電圧  $V_2$  に維持されるが、記憶ノード NB の H レベル 34 は時刻  $t_4$  で低電圧  $V_2$  に遷移している。これに対し、従来例のメモリセルの記憶ノードの H レベル 21 は、時刻  $t_5$  で低電圧  $V_2$  に到達する。

## 【 0 0 2 4 】

これは、この発明において、時刻  $t_3$  において図 1 のスイッチ回路 2 の出力信号 33 が電圧  $1/2 V_{cc}$  から接地電圧 GND に変化するので、図 2 のメモリセル 50 において、キャパシタ 5 のカップリング効果により記憶ノード NB の H レベル 34 が迅速に低電圧  $V_2$  に低下するためである。即ち、従来、電荷が負荷トランジスタ 3 を介して電源電圧  $V_{cc}$  側に少しずつ逃げていたのに対し、この発明では、電荷がキャパシタ 5 のカップリング効果によりメモリセル 50 の記憶ノード NB を迅速に遷移させることができる。

## 【 0 0 2 5 】

この実施の形態では、スイッチ回路 22 が、通常動作モードで H レベルに設定されると共にデータリテンションテストモードで L レベルに設定される制御信号 26 に応じて、第 1 電圧発生回路 8 の出力信号 19 と第 2 電圧発生回路 29 の出力信号 32 を切換えて、通常動作モードとデータリテンションモードで、夫々、出力信号 19 と出力信号 32 を出力信号 33 としてメモリセル 50 の電圧入力ノード NA に印加するので、メモリセル 50 の記憶ノード NB を迅速に遷移させることができるから、データリテンションテストの所要時間を短縮することができる。

## 【 0 0 2 6 】

実施の形態 2.

図 4 は、この発明の実施の形態 2 にかかる半導体集積回路装置に用いられる第 2 電圧発生回路 29 の構成を示す。図 4 の第 2 電圧発生回路 29 は、接地電圧 GND を有する接地電源によって形成されている。この半導体集積回路装置の他の構成は図 1 の半導体集積回路装置と同様であるので、その説明を省略する。

## 【 0 0 2 7 】

この実施の形態では、第 2 電圧発生回路 2 9 を接地電源によって形成しているので、データリテンションテストの所要時間を短縮することができるという実施の形態 1 の効果に加えて、第 2 電圧発生回路 2 9 が、故障無しに安全に動作することができると共に、回路のレイアウト面積を縮小することができる。

## 【 0 0 2 8 】

実施の形態 3.

図 5 は、この発明の実施の形態 3 にかかる半導体集積回路装置に用いられて、図 1 の制御信号 2 6 を発生する制御回路 6 0 の構成を示す。制御回路 6 0 は、データリテンションモードでの電源電圧を検知して、その電源電圧を示す電圧信号 3 6 を出力する電圧検知回路 3 5 と、データリテンションモードのスタンバイ状態を示すスタンバイ信号 3 7 を出力するスタンバイ信号発生回路 4 5 と、外部 N C (no-connect) ピン (不図示) に接続されて、データリテンションテストモードを示すテストモード信号 4 1 をバッファ 4 0 を介して出力するパッド 3 8 とを備える。

## 【 0 0 2 9 】

バッファ 4 0 は正論理インバータ 5 1 と負論理インバータ 5 2 を有する。外部 N C ピンのノードを L レベルに固定することができると共に、電源電圧  $V_{cc}$  を受ける N チャネル MOS トランジスタ 3 9 が、パッド 3 8 とバッファ 4 0 の結合点に接続されている。制御回路 6 0 は、更に、電圧信号 3 6、スタンバイ信号 3 7 とテストモード信号 4 1 を受けて、バッファ 5 5 を介して制御信号 2 6 を出力する 3 入力 N A N D ゲート 4 2 を備える。バッファ 5 5 は負論理インバータ 5 6 と正論理インバータ 5 7 を有する。

## 【 0 0 3 0 】

上記構成の制御回路 6 0 は以下のように動作する。外部 N C ピンからパッド 3 8 に H レベル信号が入力された時、H レベルテストモード信号 4 1 がバッファ 4 0 を介して 3 入力 N A N D ゲート 4 2 に入力される。又、3 入力 N A N D ゲート 4 2 は、H レベルスタンバイ信号 3 7 を受ける。更に、3 入力 N A N D ゲート 4 2 が電圧検知回路 3 5 から受ける電圧信号 3 6 は、電源電圧が保証電圧範囲内である場合は L レベルに設定される一方、電源電圧がデータリテンションテスト

モード時の低電圧である場合はHレベルに切換え設定される。

#### 【0031】

データリテンションテストモード時に、信号36、37と41は全てHレベルであるので、3入力NANDゲート42はバッファ55を介してLレベル制御信号26を出力する。Lレベル制御信号26を受けたスイッチ回路22は、データリテンションテストモードに対応する出力信号32を出力信号33としてメモリセル50の電圧入力ノードNAに印加するので、メモリセル50の記憶ノードNBを迅速に遷移させることができるから、データリテンションテストの所要時間を短縮することができる。逆に、信号36、37と41がすべてHレベルである時を除いて、制御回路60はHレベル制御信号26を出力するので、Hレベル制御信号26を受けたスイッチ回路22は、通常動作モードに対応する出力信号19を出力信号33としてメモリセル50の電圧入力ノードNAに印加する。

#### 【0032】

この実施の形態では、3入力NANDゲート42が、少なくとも電圧信号36とスタンバイ信号37、又は、電圧信号36、スタンバイ信号37とテストモード信号41を論理演算して、制御信号26を出力するように構成しているので、スイッチ回路22は、制御信号26に基づいて出力信号19と出力信号32を確実に切換えるから、半導体集積回路装置をユーザが使用中の誤作動を未然に回避することができる。

#### 【0033】

なお、実施の形態1～3においては、SRAM型メモリセルにキャパシタを用いた場合について示したが、DRAMのキャパシタに用いても良い。

#### 【0034】

#### 【発明の効果】

以上のように、請求項1の発明によれば、半導体集積回路装置が、各々がキャパシタを含むと共に各々が前記キャパシタの両側に、夫々、電圧入力ノードと記憶ノードを有する複数のメモリセルと、第1電圧を発生する第1電圧発生回路と、前記第1電圧より低い第2電圧を発生する第2電圧発生回路と、前記第1電圧と前記第2電圧を受けると共に、通常動作モードで前記第1電圧を前記電圧入力

ノードに出力する一方、データリテンションテストモードで前記第 2 電圧を前記電圧入力ノードに出力するように、制御信号に応じて前記第 1 電圧と前記第 2 電圧を切換えるスイッチ回路とを備えるので、スイッチ回路が、制御信号に応じて、第 1 電圧と第 2 電圧を切換えて、通常動作モードとデータリテンションモードで、夫々、第 1 電圧と第 2 電圧を出力信号としてメモリセルの電圧入力ノードに印加するので、メモリセルの記憶ノードを迅速に遷移させることができるから、データリテンションテストの所要時間を短縮することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 にかかる半導体集積回路装置の構成を示す回路図である。

【図 2】 図 1 の半導体集積回路装置に用いられる複数のメモリセルの 1 個の構成を示す回路図である。

【図 3】 図 2 のメモリセルの動作を示すグラフである。

【図 4】 この発明の実施の形態 2 にかかる半導体集積回路装置に用いられる第 2 電圧発生回路の構成を示す回路図である。

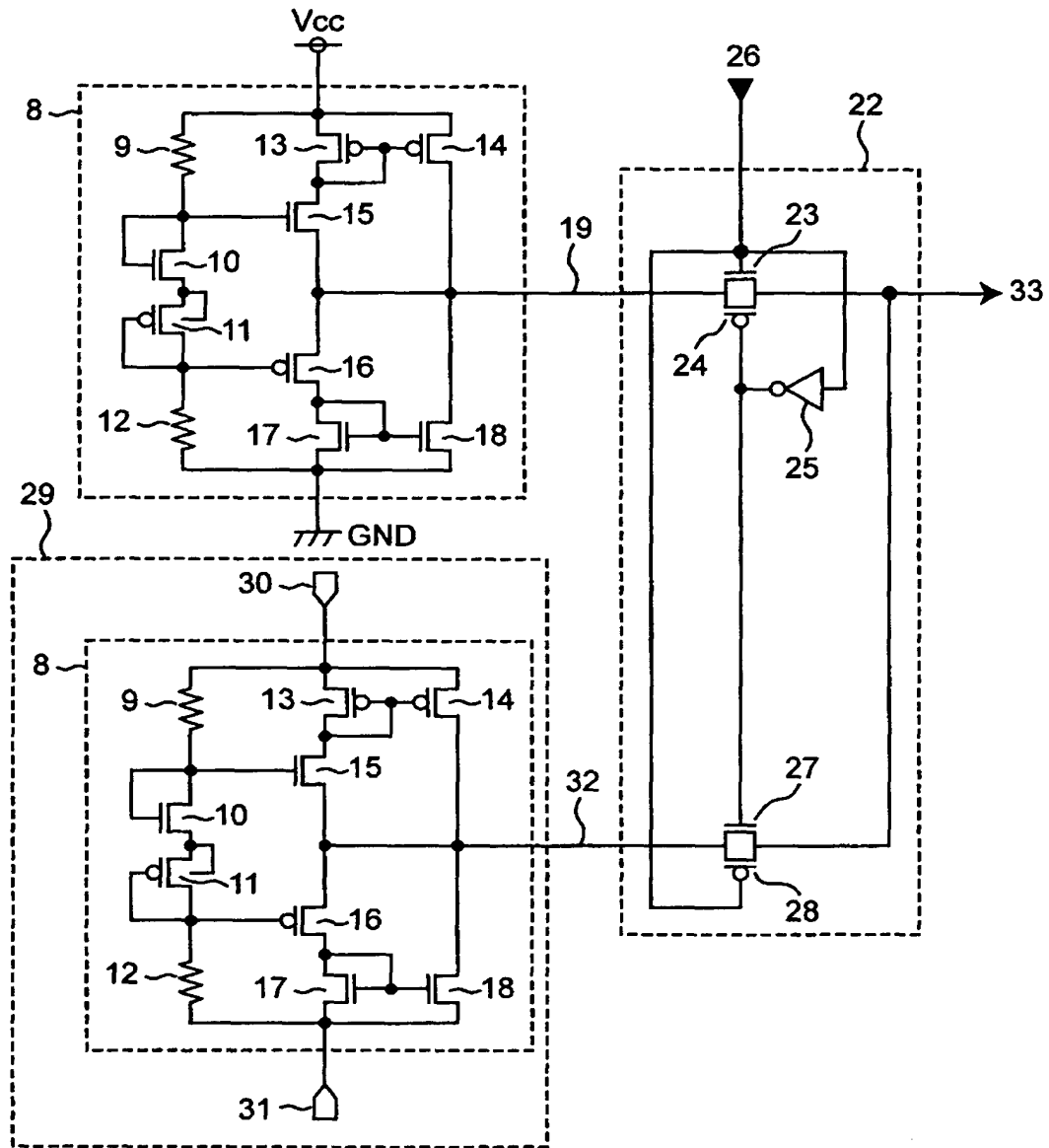
【図 5】 この発明の実施の形態 3 にかかる半導体集積回路装置に用いられる制御回路の構成を示す回路図である。

【符号の説明】

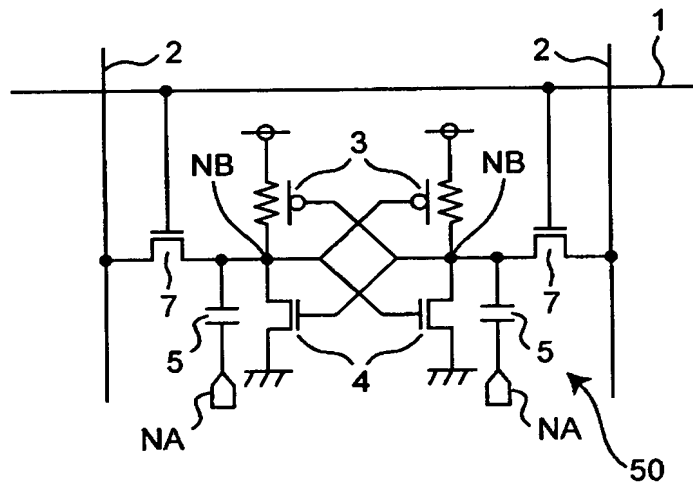
1 ワード線、 2 ビット線、 5 キャパシタ、 8 第 1 電圧発生回路、 19 出力信号、 22 スイッチ回路、 26 制御信号、 29 第 2 電圧発生回路、 32 出力信号、 35 電圧検知回路、 38 パッド、 42 3 入力 NAND ゲート、 45 スタンバイ信号発生回路、 50 メモリセル、 60 制御回路。

【書類名】 図面

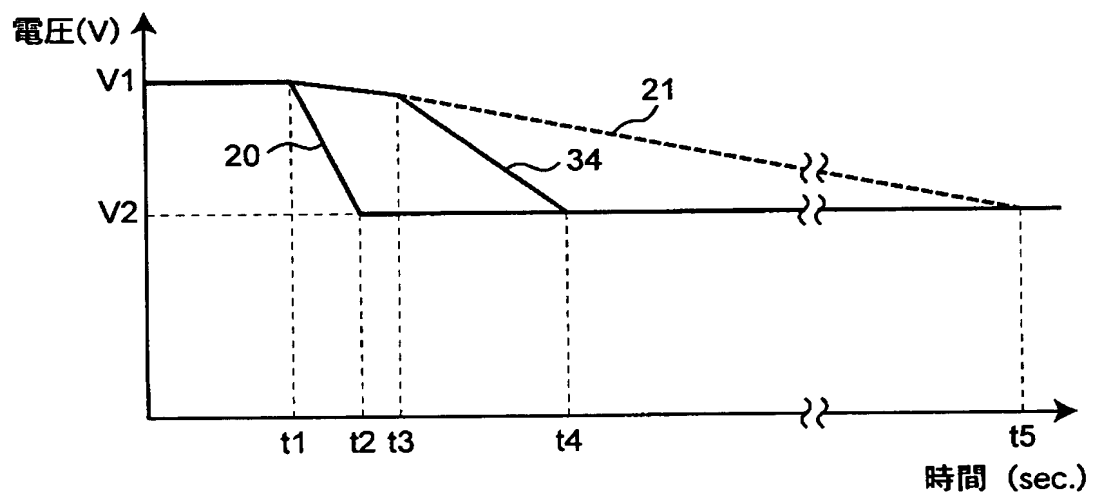
【図 1】



【図 2】

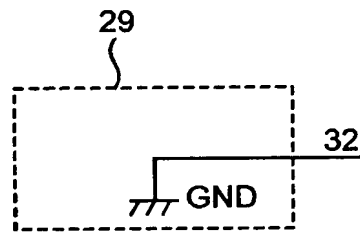


【図 3】

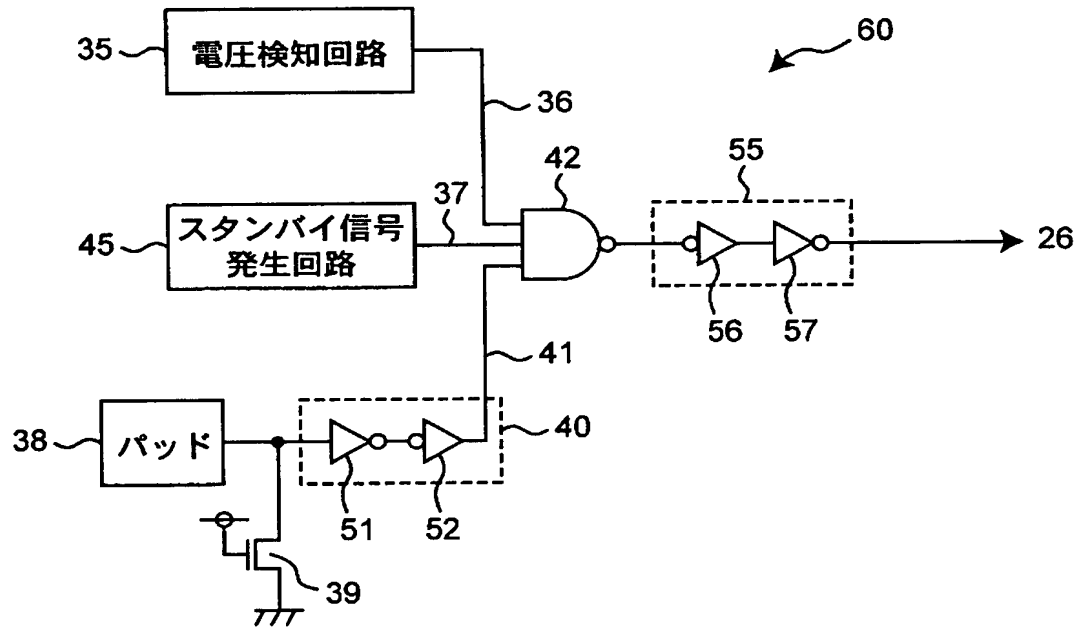




【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 メモリセルのキャパシタのカップリング効果を利用して記憶ノードのHレベルを急激に低下させることにより、データリテンションテストの所要時間を短縮することのできる半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、各々がキャパシタを含む複数のメモリセルと、第1電圧を発生する第1電圧発生回路と、第1電圧より低い第2電圧を発生する第2電圧発生回路と、通常動作モードとデータリテンションテストモードで、夫々、第1電圧と第2電圧をメモリセルに出力するように、制御信号に応じて第1電圧と第2電圧を切換えるスイッチ回路とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社